



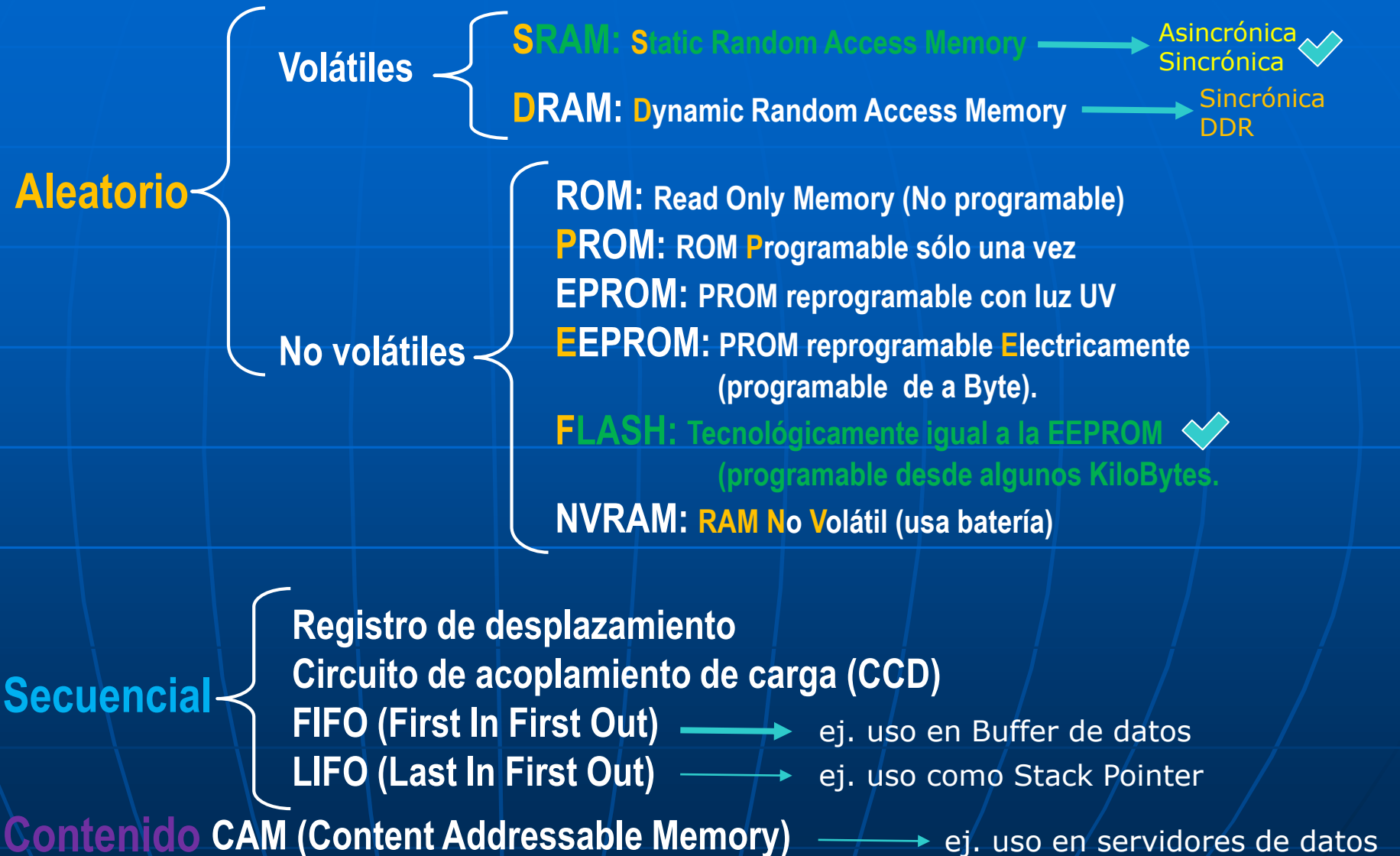
Introducción a los Sistemas Lógicos y Digitales

Memorias

Sergio Noriega 2020

Memorias Electrónicas

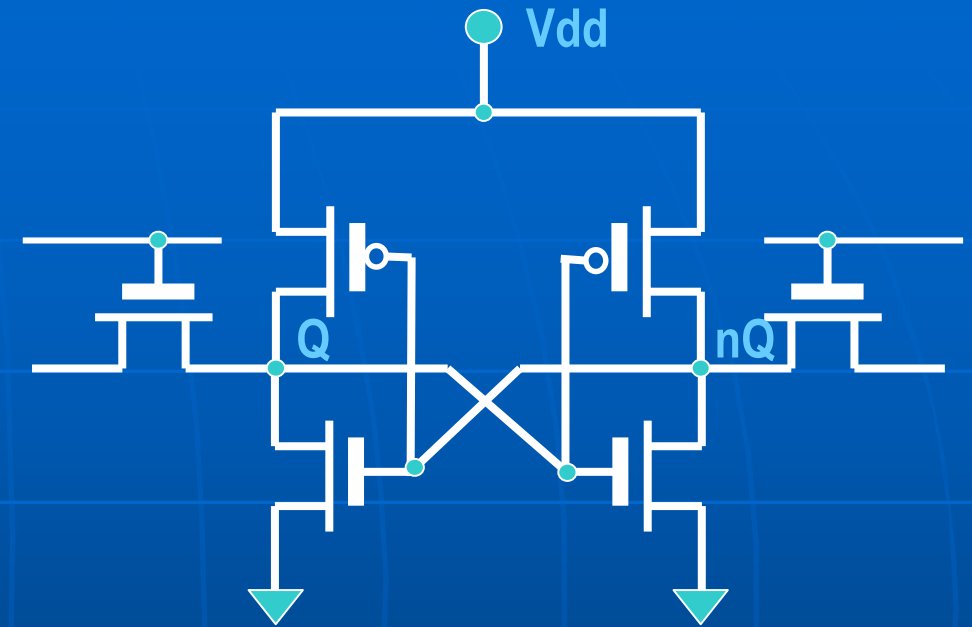
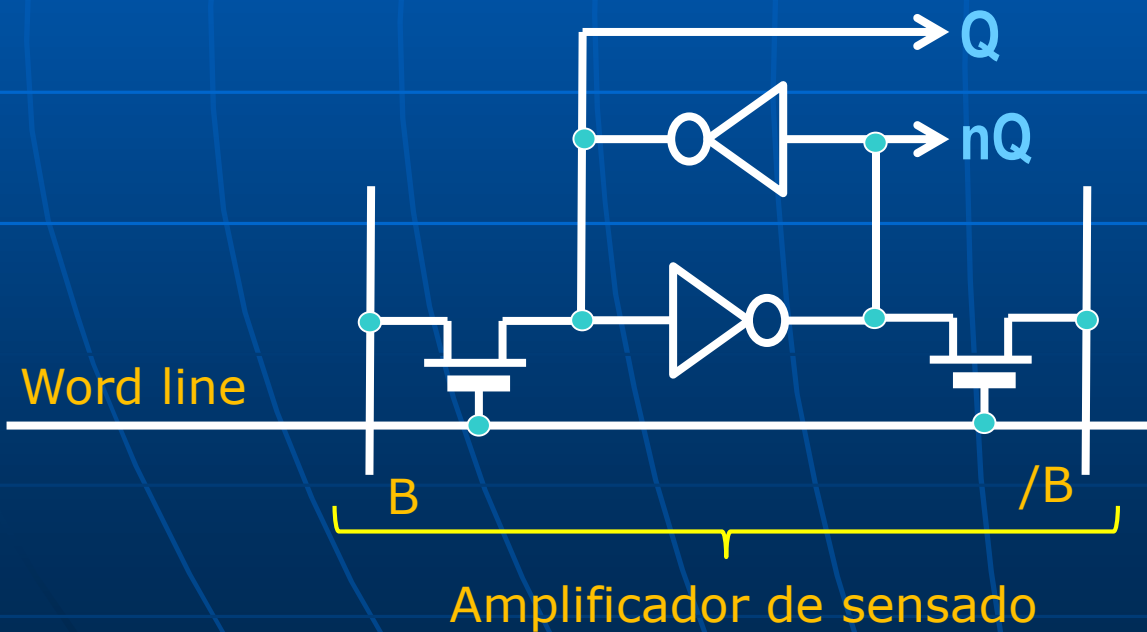
Clasificación según acceso:



✓ **Uso en FPLD**

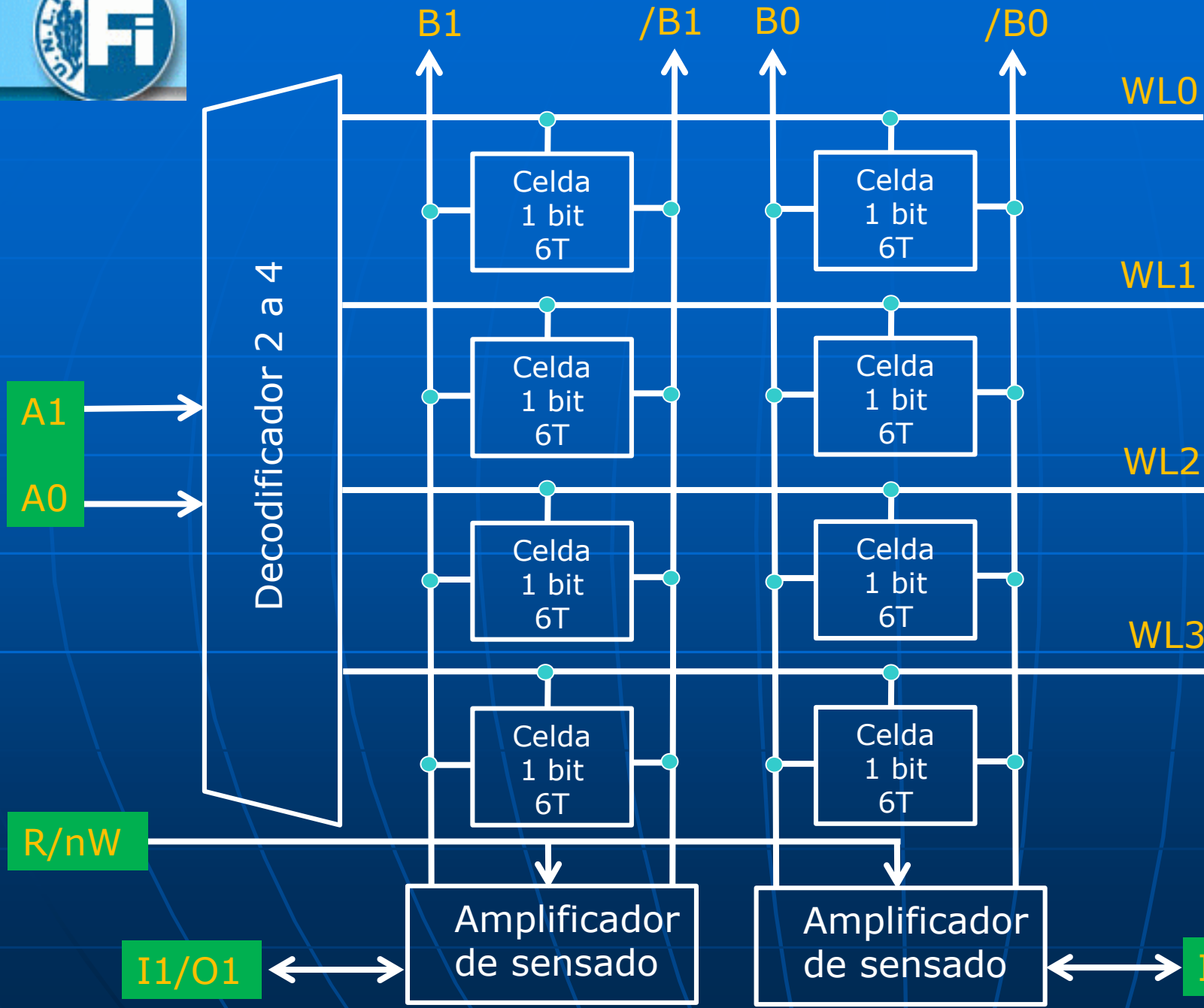
Permite luego de su programación, mantener su salida estable en un dado nivel lógico mientras siga habiendo tensión de alimentación.

No se requiere refresco alguno de cargas como en DRAM pero la densidad de integración es mucho menor que en la anterior. No sólo sirve como memoria para configuración, sino que además puede ser usada como memoria de datos para el propio diseño del usuario.

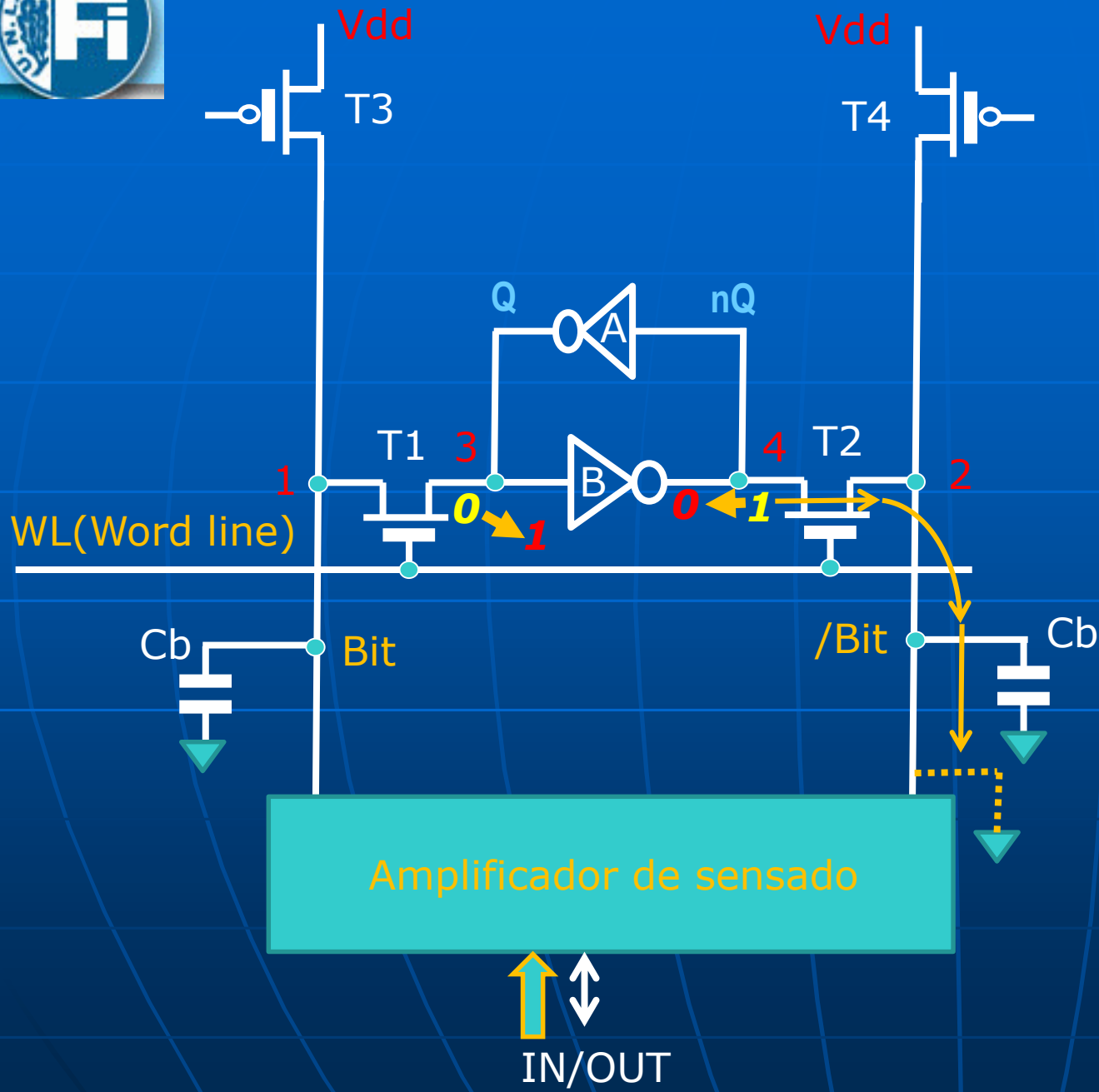




RAM estática



Circuito básico de SRAM con 4 registros de 2 bits cada uno. (No se dibuja el esquema completo). El decodificador selecciona por vez un sólo registro con las líneas de dirección A1A0. El bloque "amplificador de sentido" dependiendo de la operación (lectura ó escritura con la línea R/nW) transfiere la información de cada par de celdas a los pines de entrada-salida o viceversa: (I1/O1 - IO/O0).



Proceso de escritura:

Consideramos que $Q="0"$ y $/Q(nQ)="1"$ inicialmente. Se quiere escribir un "1" en Q.

Las líneas BIT y /BIT se configuran como entradas.

1) Se activa la línea WL y por lo tanto T1 y T2.

2) Se pone la línea /BIT a "0".

La tensión en el nodo 4 originalmente en Vdd comenzará a disminuir hacia 0 Volts.

En un punto dado con $V_4 < V_{umbral}$, el inversor A pondrá Q en "1" y se realimentará positivamente, llevando V_4 a "0".

Del mismo modo, si se quiere escribir un "0" se deberá poner la línea BIT a GND, repitiendo el proceso.

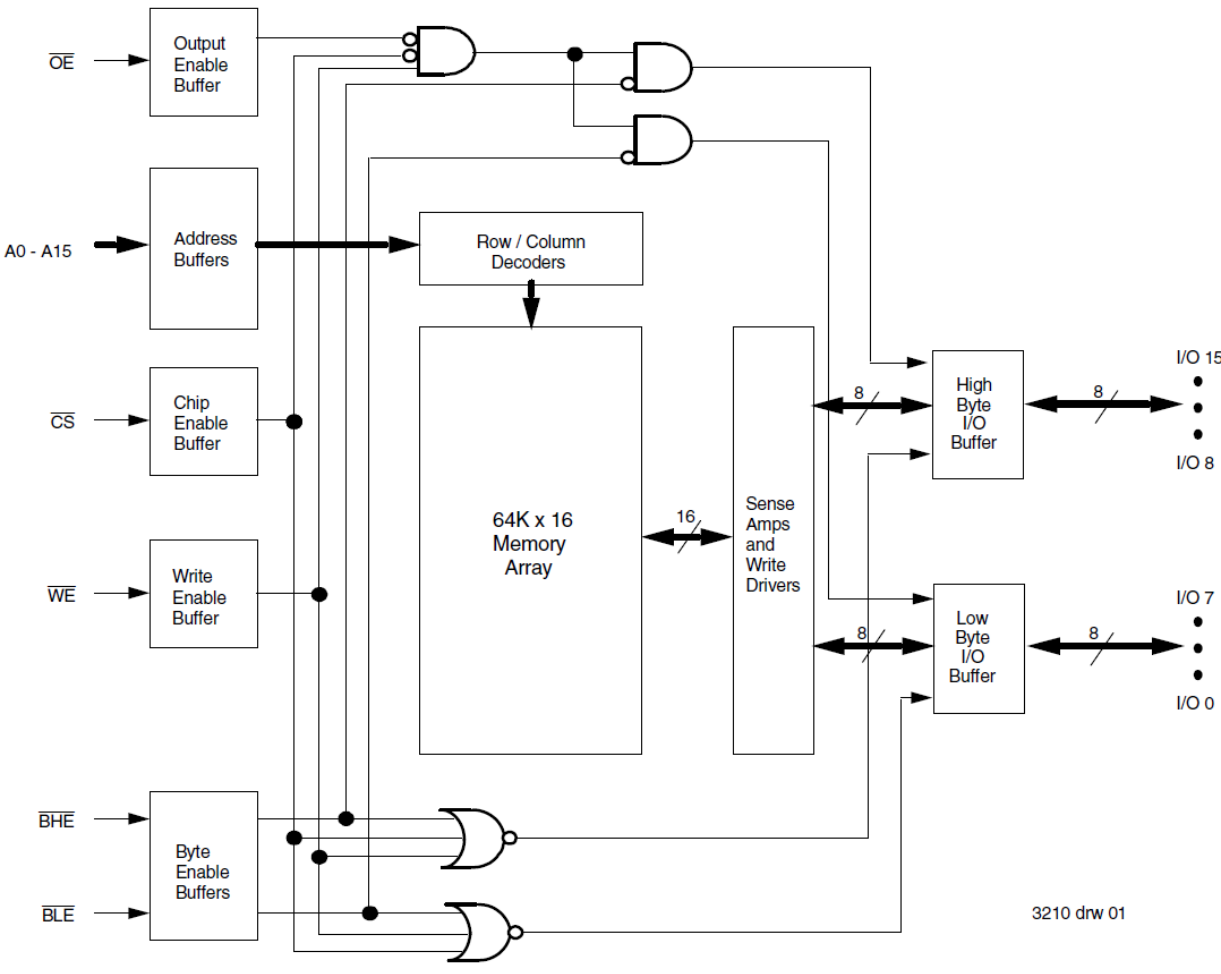


RAM estática



CMOS Static RAM 1 Meg (64K x 16-Bit)

SRAM Asincrónica



Features

- ◆ 64K x 16 advanced high-speed CMOS Static RAM
- ◆ Equal access and cycle times
 - Commercial: 12/15/20ns
 - Industrial: 15/20ns
- ◆ One Chip Select plus one Output Enable pin
- ◆ Bidirectional data inputs and outputs directly TTL-compatible
- ◆ Low power consumption via chip deselect
- ◆ Upper and Lower Byte Enable Pins
- ◆ Commercial and industrial product available in 44-pin Plastic SOJ package and 44-pin TSOP package

Las líneas de direcciones A15...A0 permiten seleccionar sólo un registro de 16 bits de los 65.536 (64K) a través de decodificadores de fila y columna que acceden a la matriz de celdas de 1.048.576 bits (64K x 16). La línea /WE controla si el proceso es de lectura (H) ó escritura (L). /CS (Chip Select) activo en L, habilita el acceso al chip. El bus de datos de la RAM es bidireccional (I/O 15...0). Para leer de ella se debe habilitar los pines I/O con la línea /OE (Output Enable) en L ya que es tri-state. No hay reloj involucrado: el acceso es asincrónico.



Truth Table ⁽¹⁾

\overline{CS}	\overline{OE}	\overline{WE}	\overline{BLE}	\overline{BHE}	I/O ₀ - I/O ₇	I/O ₈ - I/O ₁₅	Function
H	X	X	X	X	High-Z	High-Z	Deselected - Standby
L	L	H	L	H	DATAOUT	High-Z	Low Byte Read
L	L	H	H	L	High-Z	DATAOUT	High Byte Read
L	L	H	L	L	DATAOUT	DATAOUT	Word Read
L	X	L	L	L	DATAIN	DATAIN	Word Write
L	X	L	L	H	DATAIN	High-Z	Low Byte Write
L	X	L	H	L	High-Z	DATAIN	High Byte Write
L	H	H	X	X	High-Z	High-Z	Outputs Disabled
L	X	X	H	H	High-Z	High-Z	Outputs Disabled

NOTE:

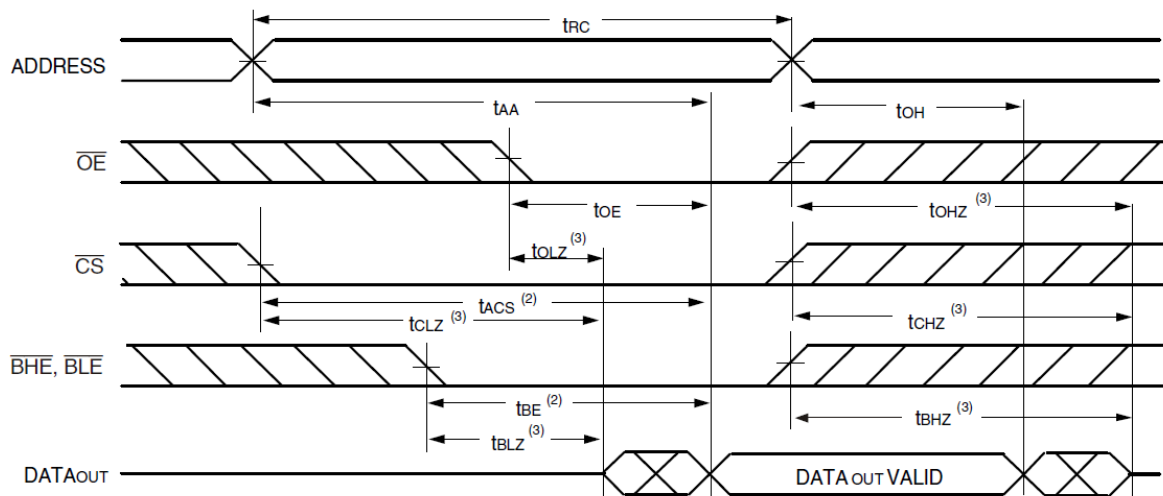
1. H = V_{IH}, L = V_{IL}, X = Don't care.

3210 tbi 02

Las líneas /BLE y /BHE, activas en L, son auxiliares y permiten acceder independientemente al BYTE alto o bajo de la palabra de 16 bits. En modo normal se las une.

Generalmente un microprocesador debe tomar el control de las líneas de /CS, /OE, /WE, ADDRESS, respetando los tiempos de retardo del dispositivo que se detallan abajo.

Timing Waveform of Read Cycle No. 2⁽¹⁾

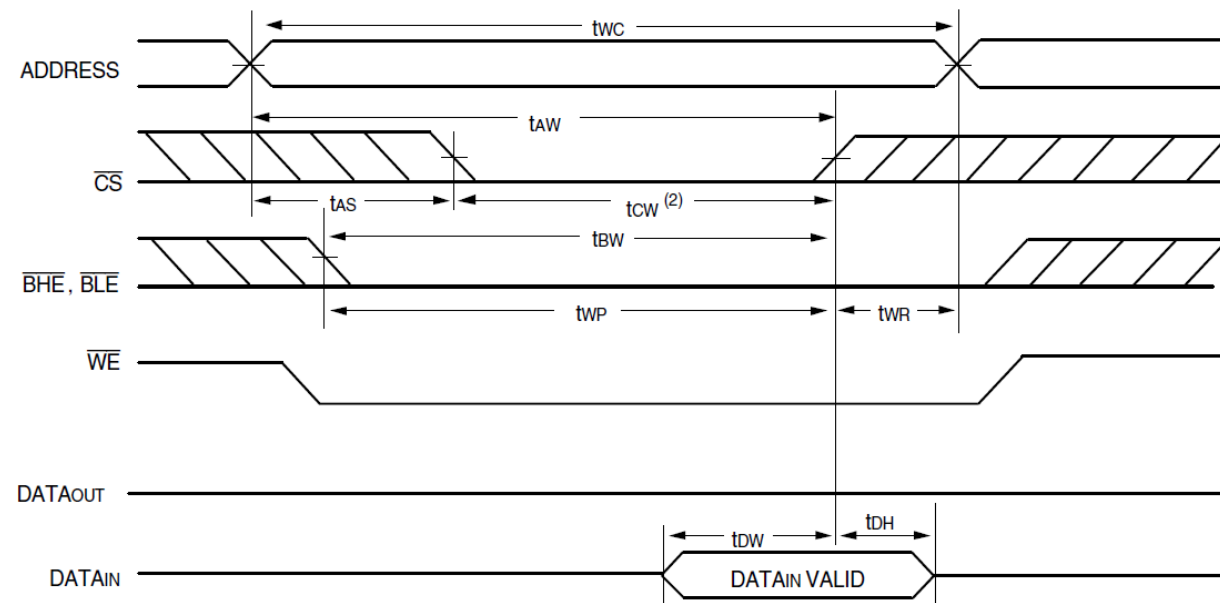


NOTES:

1. \overline{WE} is HIGH for Read Cycle.
2. Address must be valid prior to or coincident with the later of \overline{CS} , \overline{BHE} , or \overline{BLE} transition LOW; otherwise t_{AA} is the limiting parameter.
3. Transition is measured $\pm 200\text{mV}$ from steady state.

3210 drw 07

Timing Waveform of Write Cycle No. 2 (\overline{CS} Controlled Timing)^(1,4)

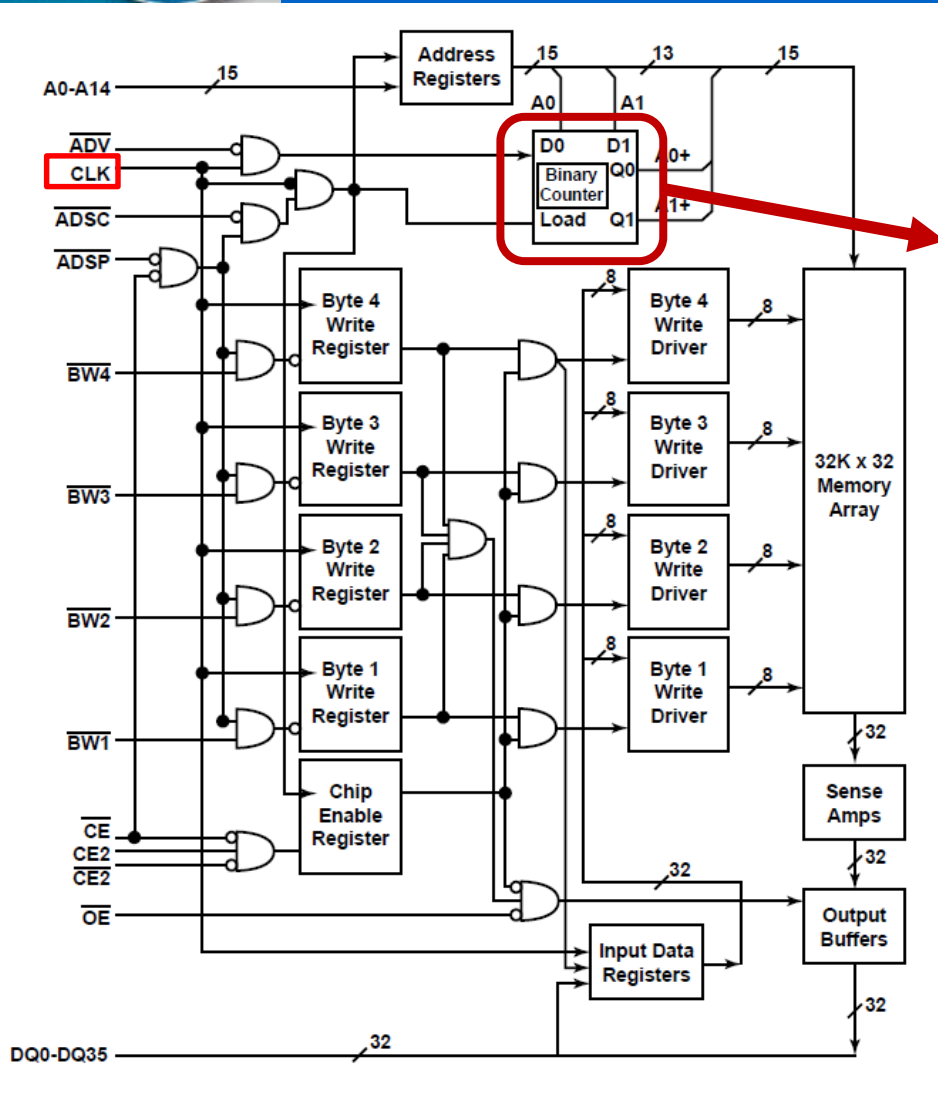


3210 drw 9



RAM estática

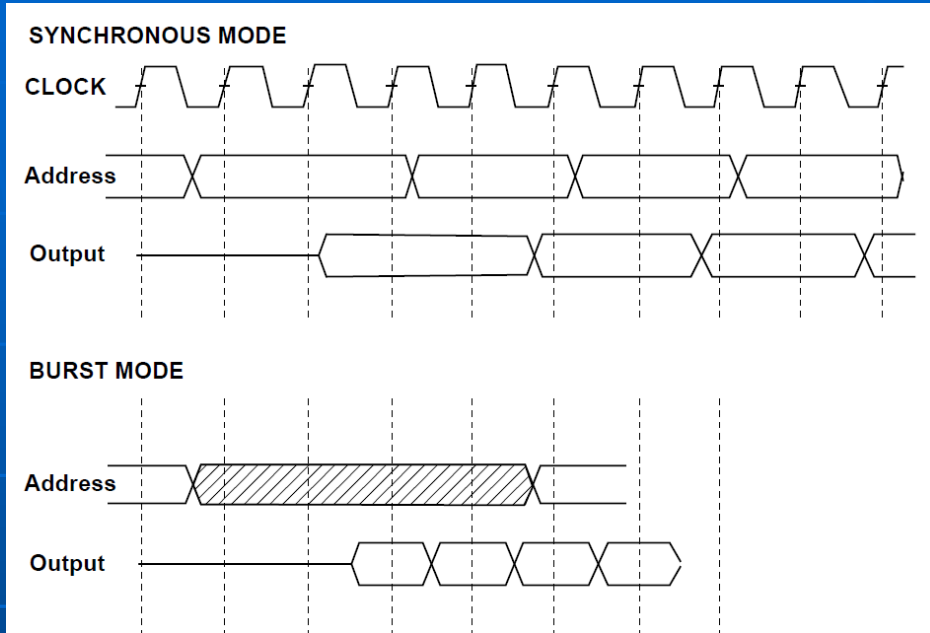
SRAM Sincrónica

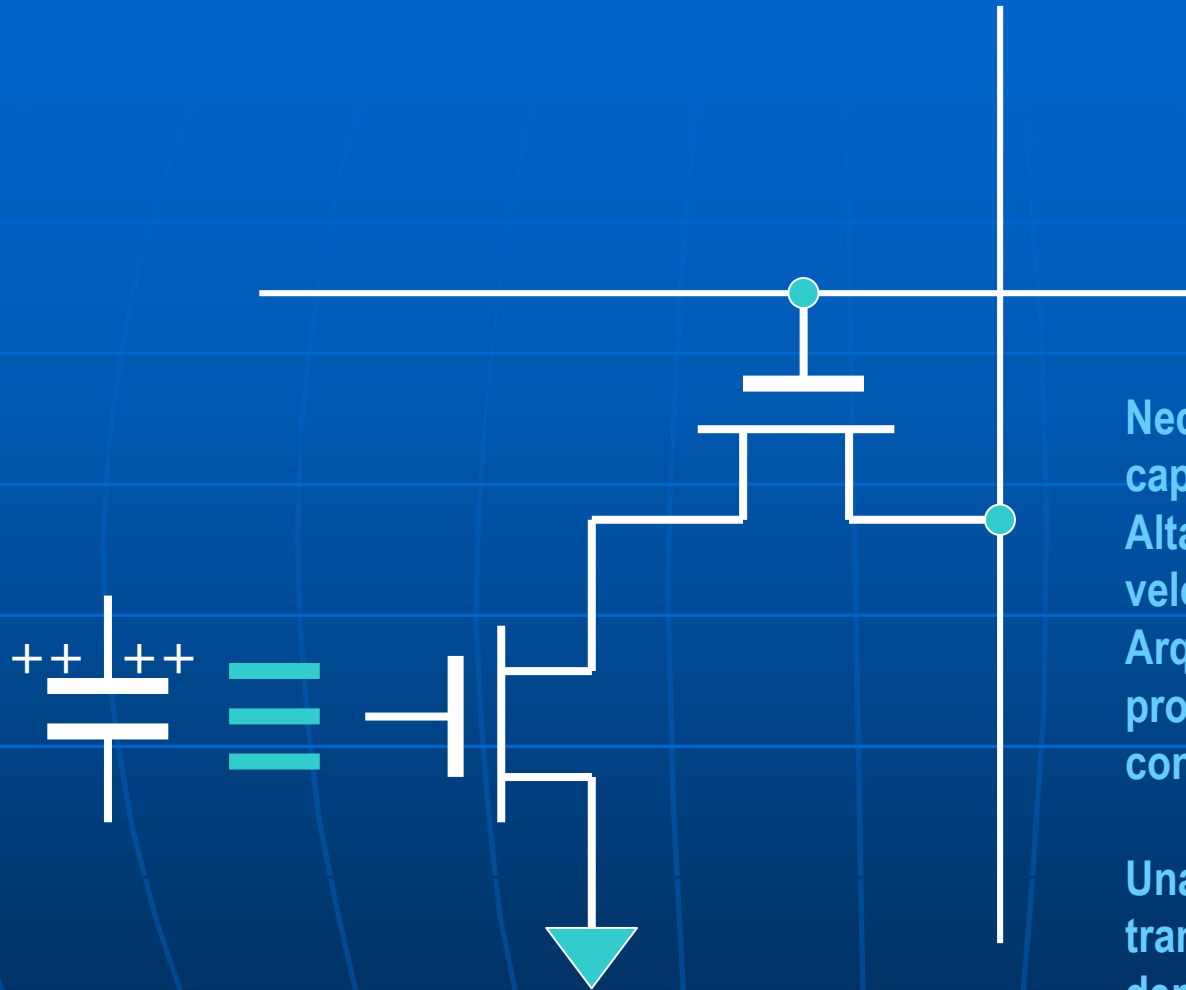


Modo sincrónico: Se emplea cuando deben realizarse operaciones de acceso a registros en forma aleatoria.

Modo Burst: Se emplea cuando deben realizarse operaciones de lectura o escritura de forma secuencial.

En este caso se define la dirección inicial y el circuito autoincrementará la dirección en cada nuevo acceso. Para ello se precarga un contador binario con la primera dirección de acceso y posteriormente en cada ciclo de reloj se procede a leer ó escribir posiciones de memoria consecutivas.



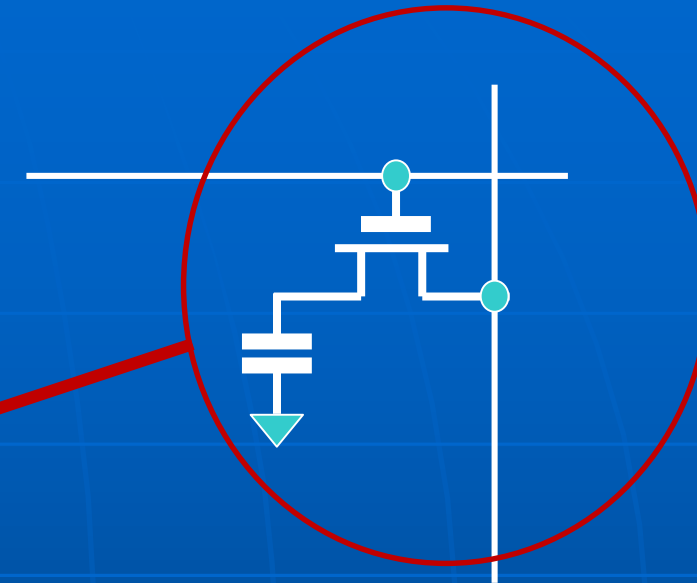
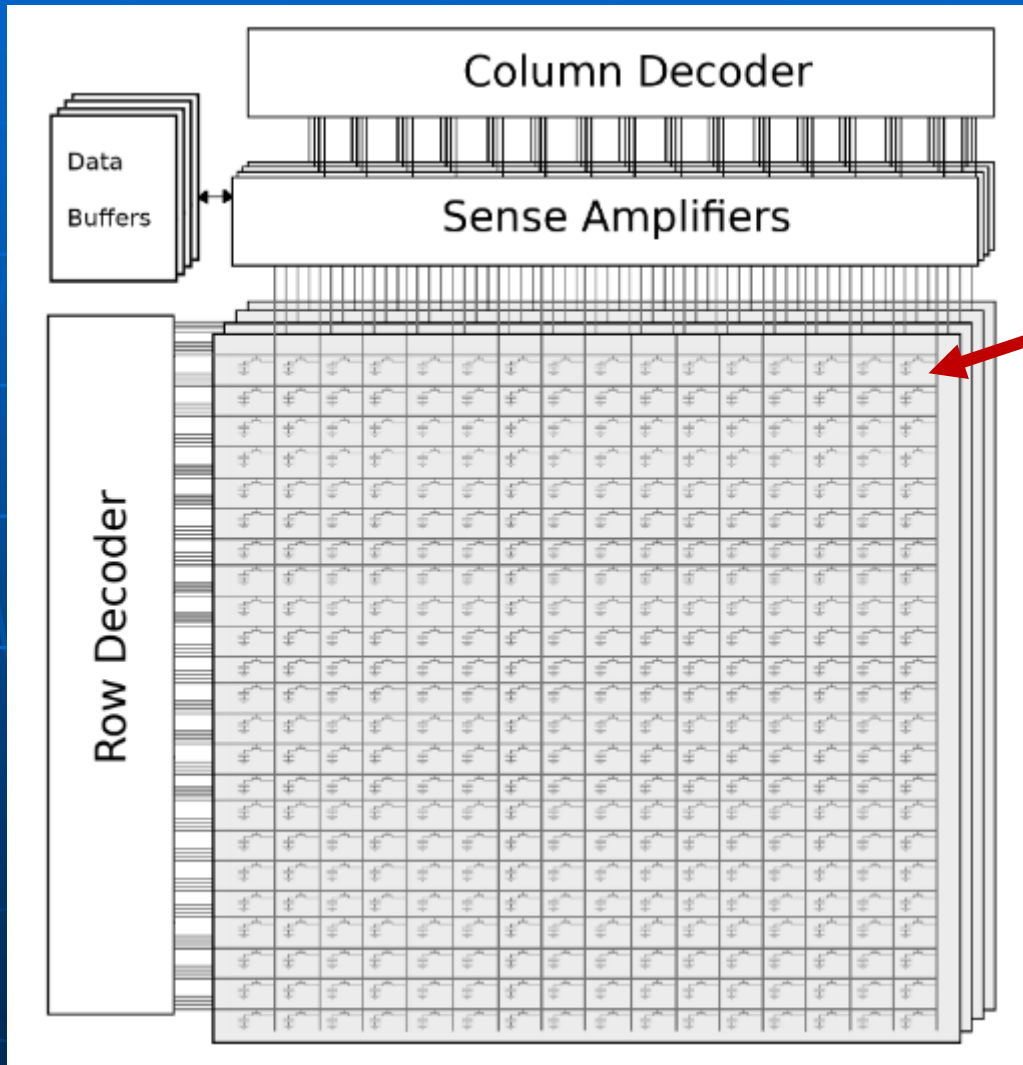


Necesidad de refresco periódico de la carga del capacitor (Ej. 64 ms por chip).
Alta densidad de integración, bajo costo y menor velocidad de acceso respecto a la SRAM.
Arquitectura No utilizada en dispositivos programables, aunque sí existen en ellos, circuitos controladores para este tipo de memorias.

Una celda DRAM involucra menor cantidad de transistores que en una SRAM lo que genera una densidad de integración mucho mayor.



Memoria RAM dinámica



Cada celda de 1 bit forma parte de una matriz que se accede por dos decodificadores CAS -RAS (columna y fila) en principio en forma similar que en el caso de SRAM. A las operaciones de escritura y lectura se debe sumar la de refresco de carga en cada celda, tanto si no se acceda a ella (porque pierde carga si hay un "1") ó cuando se la lea, porque ese proceso es destructivo (cada lectura se debe acompañar con un ciclo de refresco: si había un "1" al leer, se deberá volver a cargar al condensador de esa celda).

Tipo de Memoria DRAM mas utilizadas:
SDRAM y DDR-SDRAM.



SRAM versus DRAM

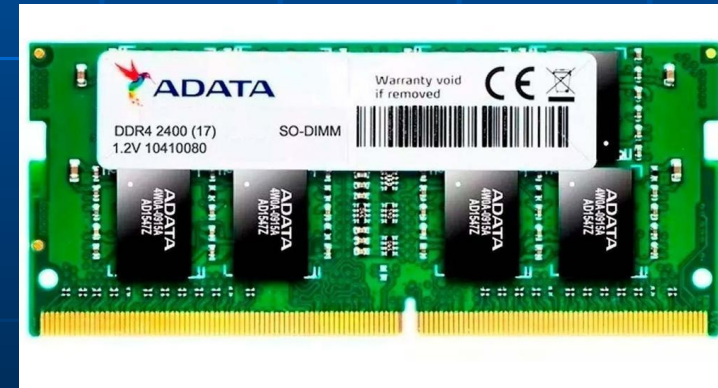
SRAM es más veloz (tiempos de acceso menores).

Ej. Uso como memoria cache para microprocesadores (ej. 12 MB en Intel i7 10ma generación).
Precio de \$1,25/Megabit.

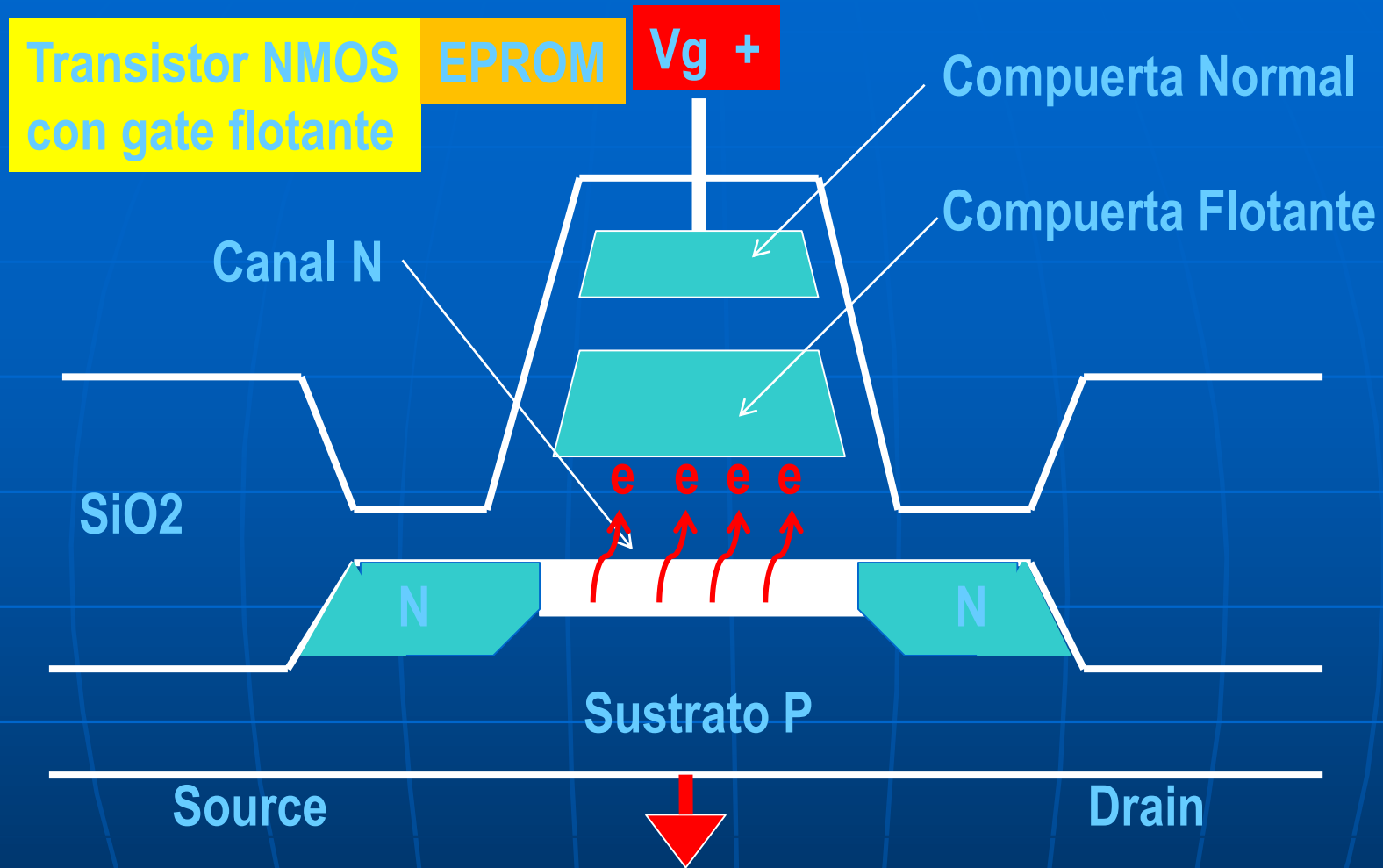
DRAM es más económica. Consume más energía que SRAM.

Tiene mayor densidad de integración (16Gbits vs 16Mbits).

Ej. Uso como memoria de datos y programa para sistemas basados en microprocesadores.
Precio de \$10/Gigabit.



Memorias



Al aplicar 12 V en Vg+ se programa al transistor, quedando cargas atrapadas en el gate con lo cual al alimentarlo, conducirá siempre. Para eliminar las cargas en el gate se debe usar luz UV (~20 minutos).

Memorias

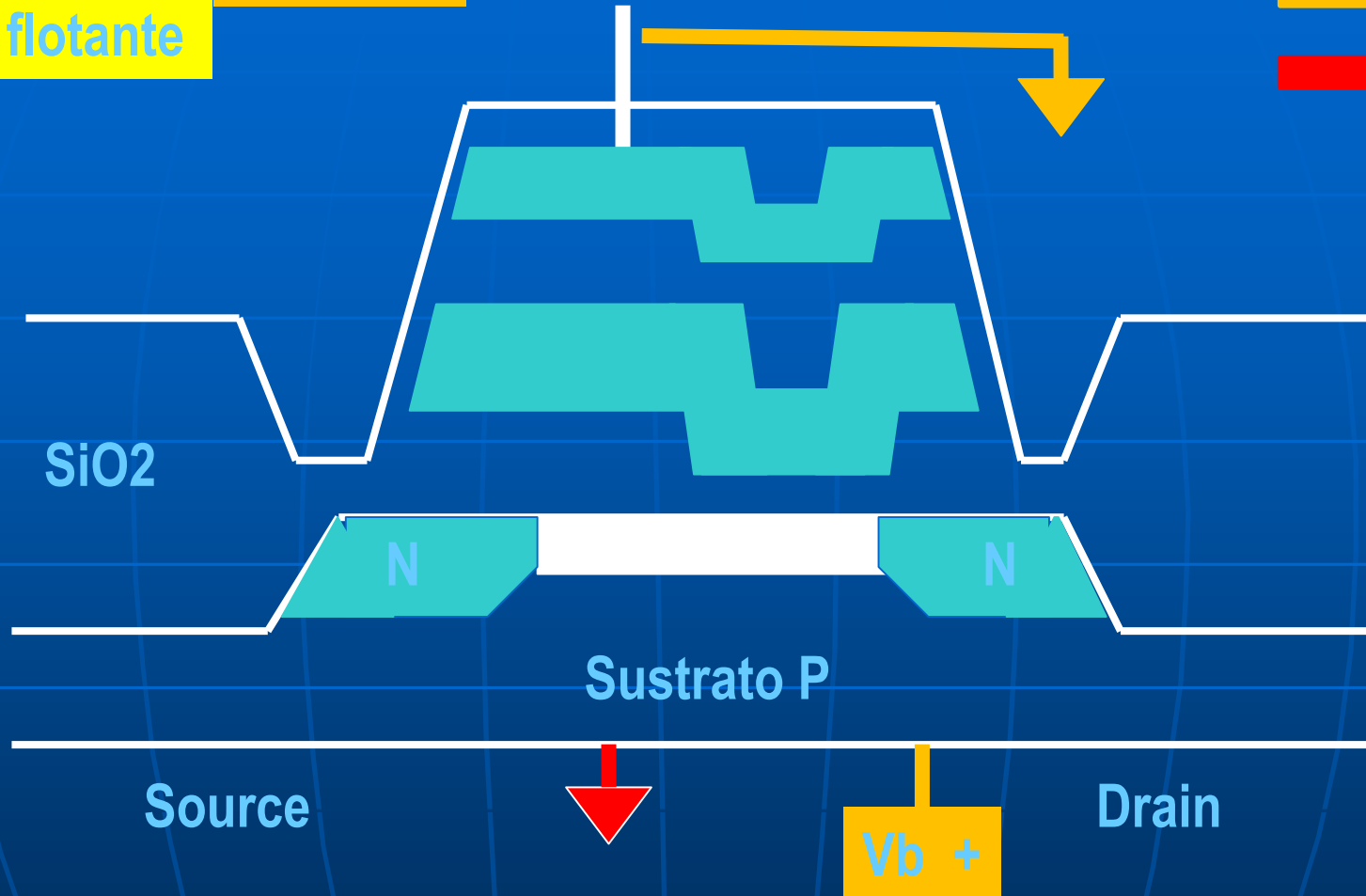
Transistor NMOS
con gate flotante

EEPROM

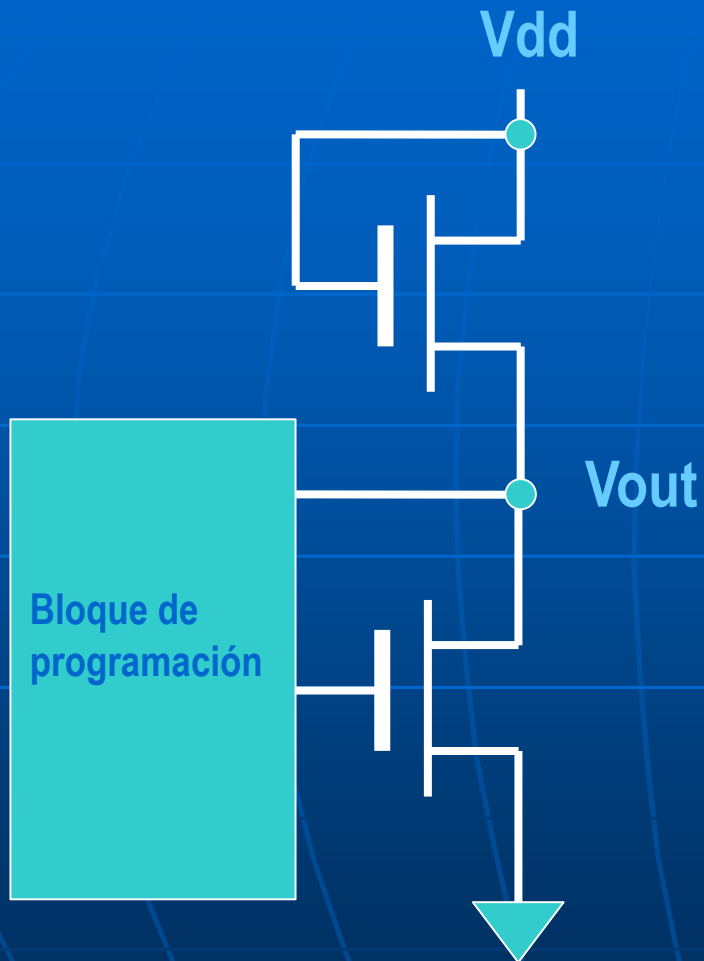
$V_g +$

Borrar

Programar



Similar al anterior pero con un diseño de gate que permite eliminar las cargas electricamente (borrado). Esto se logra aplicando tensión (+) al bulk (V_b) y poniendo el gate a V_{ss} (masa). Tiempo de escritura de un byte del orden de los 10 ms.



Transistor NMOS programable.

Al inyectarle cargas al gate quedará permanentemente en conducción, cuando se aplique la tensión de alimentación V_{dd} , es decir, la celda dará $V_{out} = "0"$.

Al borrarlo, se eliminan las cargas en el GATE y el transistor quedará permanentemente cortado y la salida será $V_{out} = "1"$.

Las operaciones de funcionamiento son:

Lectura.

Escritura.

Borrado.

El borrado de la celda causa una degradación en el óxido de la compuerta, disminuyendo su tiempo de vida útil.



Memoria EEPROM

No volátil: El contenido no se pierde al sacar la alimentación.

El almacenamiento de la información dura años.
Cantidad de lecturas ilimitadas.

Cantidad de escritura y borrado limitadas (del orden del millón).

Posibilidad de acceder a nivel de BYTE a excepción de la FLASH.

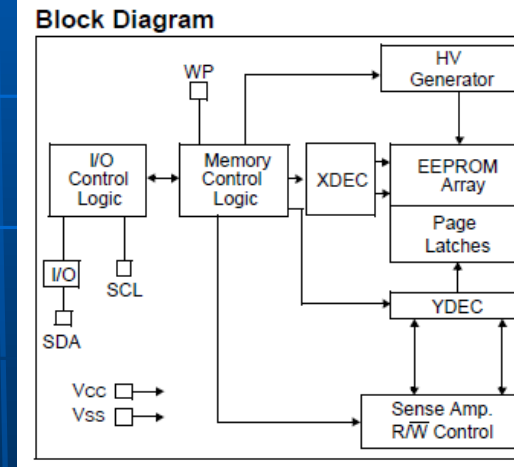
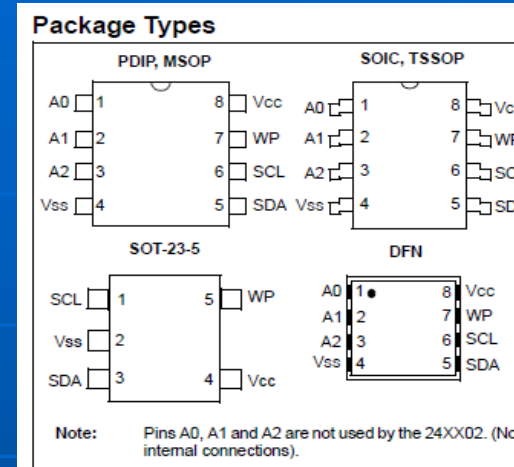
Se puede escribir ó borrar a nivel de BYTE, PÁGINA ó el chip completo.

Acceso secuencial a los registros muy rápido.

Velocidades de escritura y borrado relativamente lentos.

2Kbits (256 x 8). Bus serie tipo I2C.
Protección contra escritura por hardware.
Retención de datos hasta 200 años.
>1 millón de ciclos de borrado/escritura.

Ejemplo de memoria EEPROM con bus serie instalada en la placa De-Nano (Cyclone IV)



24AA02/24LC02B

2K I²C™ Serial EEPROM

Features:

- Single supply with operation down to 1.7V for 24AA02 devices, 2.5V for 24LC02B devices
- Low-power CMOS technology:
 - Read current 1 mA, typical
 - Standby current 1 μ A, typical
- 2-wire serial interface, I²C™ compatible
- Schmitt Trigger inputs for noise suppression
- Output slope control to eliminate ground bounce
- 100 kHz and 400 kHz clock compatibility
- Page write time 3 ms, typical
- Self-timed erase/write cycle
- 8-byte page write buffer
- Hardware write-protect
- ESD protection >4,000V
- More than 1 million erase/write cycles
- Data retention >200 years
- Factory programming available
- Packages include 8-lead PDIP, SOIC, TSSOP, DFN, MSOP and 5-lead SOT-23
- Pb-free and RoHS compliant
- Temperature ranges:
 - Industrial (I): -40°C to +85°C
 - Automotive (E): -40°C to +125°C



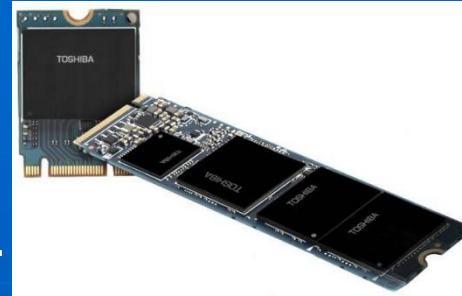
Memoria FLASH

NOR FLASH:

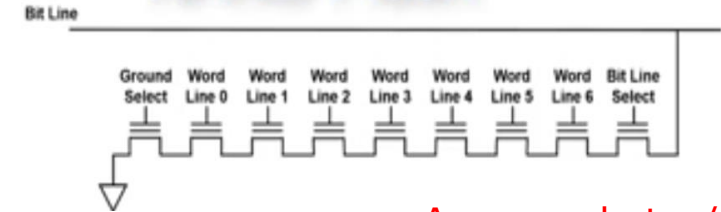
Usada principalmente para procesos de almacenamiento y ejecución de código de programa con uP. Mayor velocidad de lectura que NAND FLASH (factor de x3). Menor probabilidad de encontrar bits defectuosos. Tiene más tolerancia a la degradación por borrado. Costo de NOR Flash mayor a NAND Flash.

NAND FLASH:

Uso masivo en almacenamiento de datos en pendrives USB, BIOS y tarjetas de memoria para cámaras y celulares. Se ha convertido en un potencial sustituto de los discos rígidos electromecánicos HDDs, bajando los precios permanentemente. Proceso de escritura y borrado más rápido que en NOR FLASH. Mayor densidad de integración y menor costo que su equivalente NOR (del orden del Terabit vs Megas). Costo de NAND Flash del orden de \$0,75/Gbit contra \$0,015/Mbit en NOR Flash y \$10/Gbits en DRAM.



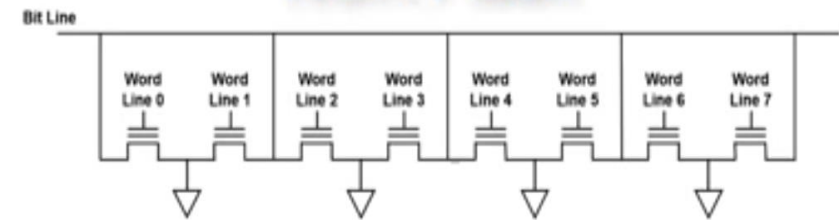
NAND Flash



Tamaño de celda menor

Acceso a bytes/words secuencialmente

NOR Flash

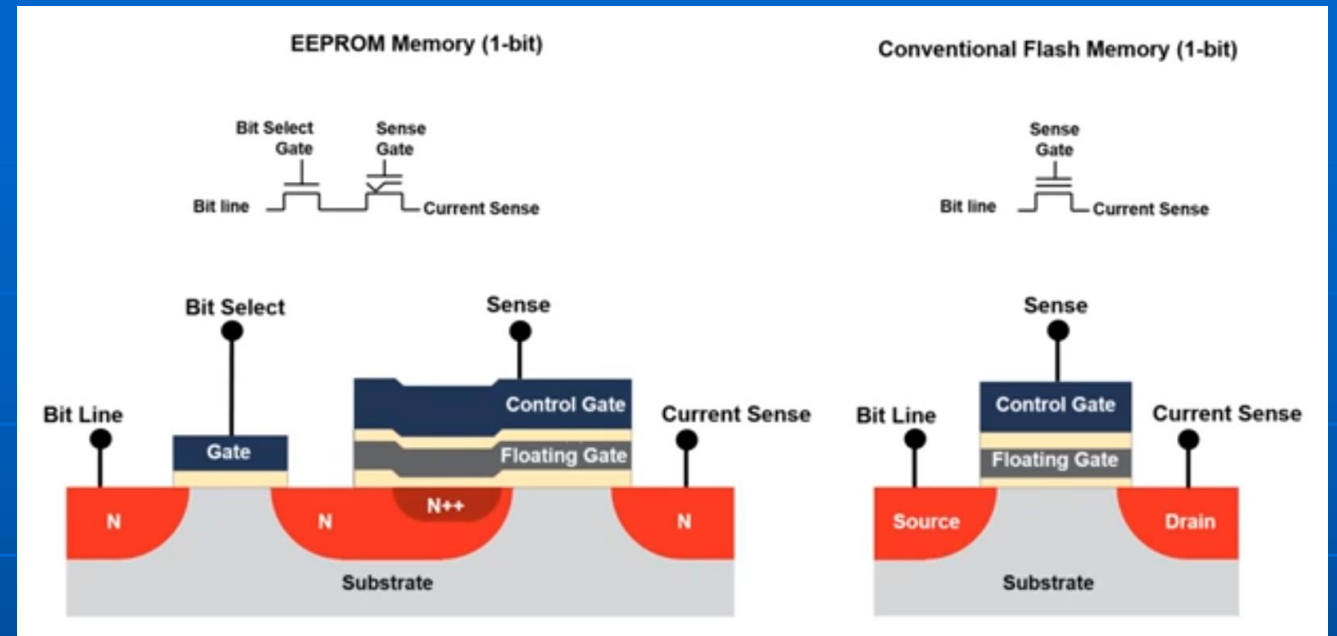


Acceso a bytes/words secuencialmente ó en forma aleatoria

Parameter	NOR	NAND
Density	1 Mbit – 1 Gbit	64 Mbit - 1 6Gbit
Read initial access	55 ns	10,000 ns
Read sequential access	9 ns	50 ns
Program	0.3 Mbytes/s	2.6 Mbytes/s
Erase	0.2 Mbytes/s	8.2 Mbytes/s
Access Method	Random	Sequential



EEPROM versus FLASH



EEPROM es más cara (\$20/Megabit).

Permite manejar datos a nivel de byte.

Densidades del orden de los Megabits (Ej: 4 Mbits/512K bytes).

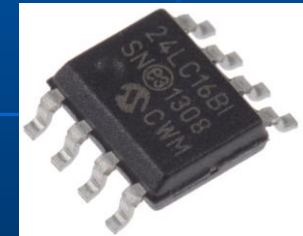
Tiene una degradación mucho menor a la escritura-borrado que la FLASH (1 Mega contra 10.000 veces).

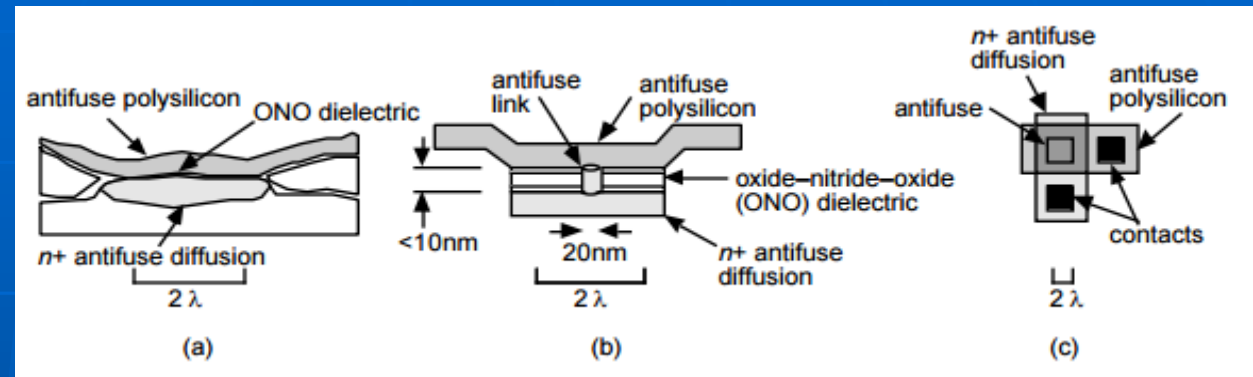
Tiempo de borrado más rápido (5 ms contra segundos).

FLASH es más económica (\$0,75/Gigabit: NAND FLASH), mayor densidad de integración y velocidad.

Densidades del orden del Gigabit (Ej: 1Gbit/128 Mbytes).

No permite acceso a nivel de byte sino de a bloques de bytes.





Vista realística del antifusible. Vista esquemática en profundidad. Vista esquemática superior.

En el inicio la unión es aislante. Si se requiere conducción en dicho punto, debe programarse con baja corriente (5mA). De este modo se deshace el aislante (antifuse) y así difunden portadores en el material, haciendo conductor a dicha unión.

Es una opción interesante en aplicaciones aeroespaciales, al tener mayor inmunidad a la radiación que una «llave» basada en un transistor como en las FPGA que utilizan memorias del tipo EEPROM ó SRAM.

Sin embargo, NO es reprogramable. Lo emplea la empresa Microsemi en aplicaciones espaciales.



Bibliografía:

Libros:

Sedra, Smith - Microelectronic Circuits - Oxford University Press (2014).

Seiichi Aritome, NAND FLASH MEMORY TECHNOLOGIES - IEEE Press (2016).

Brent Keeth - DRAM Circuits Design - IEEE Press (2001).

Notas de aplicación:

AN 99111 Parallel NOR Flash Memory: An Overview - CYPRESS (2017).

Understanding Static RAM Operation IBM. IBM (1997).

Links:

Microsemi - <https://www.microsemi.com/product-directory/fpga-soc/1641-antifuse-fpgas>

Cypress - <https://www.cypress.com/products/high-performance-memories-embedded-systems>

Samsung - <https://www.samsung.com/us/computing/memory-storage/all-memory-storage/>

IDT - <https://www.idt.com/us/en/products/memory-logic>

Microchip - <https://www.microchip.com/design-centers/memory/serial-eprom>